

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-335748

(43) Date of publication of application : 22.12.1995

(51) Int.Cl.

H01L 21/768

(21) Application number : 06-124873

(71) Applicant : MIYAZAKI OKI ELECTRIC CO LTD
OKI ELECTRIC IND CO LTD

(22) Date of filing : 07.06.1994

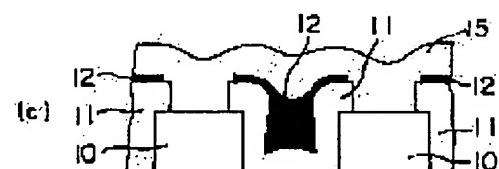
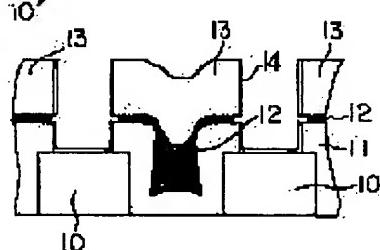
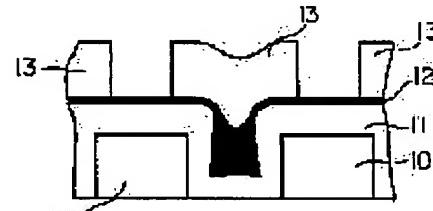
(72) Inventor : KONO HIROYUKI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57) Abstract:

PURPOSE: To improve the reliability of a metallic wiring by inhibiting the generation of voids in the metallic wiring by the out gas of SOG.

CONSTITUTION: A first metallic wiring 10 is formed, and P-SiO 11 is formed. The surface of P-SiO 11 is spin-coated with an SOG film 12, and silicified. A resist pattern 13 is formed through photolithography, and through-holes are bored while using the resist pattern 13 as a mask. The resist pattern 13 is removed and sidewall protective films 14 are taken off by a release liquid. A TEOS oxide film 15 is shaped, and the SOG films 12 are capped. A resist pattern is formed, and the TEOS oxide film 15 is removed through wet etching and dry etching while employing the resist pattern as a mask. The resist pattern is taken off, and a second metallic wiring is formed through sputtering.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A process of forming the 1st interlayer insulation film, and a process of applying and silicon-izing SOG, A process of forming the 1st resist pattern by a photolithography, A process of carrying out etching removal of said SOG and the 1st interlayer insulation film one by one by using said 1st resist pattern as a mask, and puncturing the 1st contact hole, A process of removing said 1st resist pattern, and a process of forming the 2nd interlayer insulation film, A process of forming the 2nd resist pattern by a photolithography, A manufacturing method of a semiconductor device giving in order a process of carrying out etching removal of said 2nd interlayer insulation film by using said 2nd resist pattern as a mask, and puncturing the 2nd contact hole, a process of removing said 2nd resist pattern, and a process of forming metallic wiring.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] Especially this invention relates to the method of forming good metallic wiring by forming the barrier wall which becomes a contact hole side wall part from an insulating material about the manufacturing method of a semiconductor device, and preventing moisture discharge [SOG / (Spin On Glass)].

[0002]

[Description of the Prior Art] Drawing 2 (a) - (d) is process drawing of the manufacturing method of a detailed semiconductor device with the conventional multilayer interconnection structure. This drawing 2 (a) process [of - (d)] (1) - (4) is explained below.

(1) as the 1st interlayer insulation film after forming the 1st metallic wiring 1 with metal, such as process aluminum of drawing 2 (a), -- plasma chemistry vapor phase epitaxy (it is hereafter called plasma CVD) -- by law. The silicon oxide (P-SiO) 2 of 0.4 micrometer of thickness is formed by making SiH₄ and N₂O into material gas. Next, the spin coat of the SOG is carried out for the purpose of the improvement in display flatness, it heats and silicon-izes at the temperature below 450 degreeC which does not have trouble in the 1st metallic wiring 1, and SOG film 3 is formed. Then, vapor phase epitaxy of the 2nd silicon oxide 4 is again carried out to a thickness of about 0.4 micrometer as the 2nd interlayer insulation film like the 1st silicon oxide 2.

(2) Form the resist pattern 5 for puncturing the through hole for connection between the 1st metallic wiring 1 and the 2nd metallic wiring according to the process photolithography process of drawing 2 (b).

(3) Wet etching removes the 2nd silicon oxide 4 by using the process resist pattern 5 of drawing 2 (c) as a mask, and carry out tapered shape of the end. Then, etching removal of the 2nd remaining silicon oxide 4, SOG film 3, and the 1st silicon oxide 2 is carried out one by one

[Problem(s) to be Solved by the Invention] However, the following technical problems occurred in the manufacturing method of the conventional semiconductor device. In the time of puncturing of the through hole of drawing 2 (c), since the outgas by moisture desorption is emitted from the exposed part of SOG film 3, the sidewall protective film 6 which heightens the effect of anisotropic etching is not formed, but the side etch of SOG film 3 advances.

Therefore, when carrying out sputtering of the 2nd metallic wiring 7 of drawing 2 (d), the step coverage of the 2nd metallic wiring 7 gets worse, and the cave (it is called a void below) 8 occurs. Drawing 3 is an enlarged drawing of the void in drawing 2 (d). As shown in this figure, by the side etch of the exposed part of SOG film 3, the void 8 occurs into this portion. For this void 8, the open circuit by electromigration resistance degradation of the 2nd metallic wiring 7, etc. pose a problem.

[0004]

[Means for Solving the Problem]A process of forming the 1st interlayer insulation film, such as P-SiO_x, in order that this invention may solve said technical problem, A process of applying and silicon-izing SOG, and a process of forming the 1st resist pattern by a photolithography, A process of carrying out etching removal of said SOG and the 1st interlayer insulation film one by one by using said 1st resist pattern as a mask, for example, puncturing the 1st through hole, A process of removing said 1st resist pattern, and a process of forming the 2nd interlayer insulation film, such as a TEOS oxide film, A process of forming the 2nd resist pattern by a photolithography, It is made to give in order a process of carrying out etching removal of said 2nd interlayer insulation film by using said 2nd resist pattern as a mask, for example, puncturing the 2nd through hole, a process of removing said 2nd resist pattern, and a process of forming metallic wiring.

[0005]

[Function]The manufacturing method of the semiconductor device consisted of this inventions as mentioned above.

Therefore, the 1st resist pattern is formed by a photolithography, etching removal of SOG and the 1st interlayer insulation film is carried out one by one by using this 1st resist pattern as a mask, and the 1st contact hole is punctured.

In the time of puncturing of the 1st contact hole, outgas is emitted by moisture desorption in the exposed part of SOG, and the side etching of SOG advances. Next, after forming the 2nd interlayer insulation film and capping SOG, the 2nd resist pattern is formed by a photolithography and the 2nd contact hole is punctured by using this 2nd resist pattern as a mask. Since SOG is capped with the 2nd interlayer insulation film at the time of this 2nd contact hole puncturing, there is work which this 2nd interlayer insulation film controls the side etch of SOG, and controls generating of the void at the time of formation of metallic wiring. Therefore, said technical problem is solvable.

[0006]

[Example] Drawing 1 (a) - (c) and drawing 4 (a) - (c) is process drawing showing the manufacturing method of the semiconductor device of the example of this invention. The process of this drawing 1 (a) - (c) and drawing 4 (a) - (c) is explained to (1) - (6) below.

(1) ** of drawing 1 (a) forms the 1st metallic wiring 10 with metal, such as aluminum, more nearly first. Then, the silicon oxide (P-SiO) 11 of 0.4 micrometer of thickness is formed with plasma CVD method as the 1st interlayer insulation film by material gas SiH_4 and N_2O , the pressure 2.0 - 3.0Torr. This P-SiO11 also has the work which controls the penetration of the moisture to the 1st metallic wiring 10 of SOG film 12 formed in the next after working as an interlayer insulation film. Then, for flattening, on the silicon oxide 11, the spin coat of the SOG is carried out, bake is carried out and SOG film 12 is formed in temperature 400degreeC and dry cleaning N_2 atmosphere. The bake in the inside of dry cleaning N_2 atmosphere is for moisture absorption of moisture controlling and preventing degradation of membranous quality. Next, in order to puncture the 1st through hole, the resist pattern 13 is formed according to a photolithography process.

(2) By using the process resist pattern 13 of drawing 1 (b) as a mask, by dry etching, carry out etching removal of SOG film 12 and the 1st silicon oxide 11 one by one, and puncture the 1st through hole. The desirable sidewall protective film 14 is formed in the anisotropic etching which controls the over etching of a side wall part to the side wall part of the 1st silicon oxide 11 by the reaction of the 1st silicon oxide 11 and the etching gas by dry etching at this time. On the other hand, since the outgas by moisture desorption is emitted from the exposed part of SOG film 12, a sidewall protective film is not formed, but side etching advances, and ANDAKATTO occurs.

[0007](3) Remove the process resist pattern 14 of drawing 1 (c), and release liquid removes the sidewall protective film 14 after that. Next, it is O_3 -TEOS-NSG (Non Silicate Glass) of 0.8 micrometers or more of thickness by a CVD method at the following process conditions. The film (it is hereafter called a TEOS oxide film) 15 is formed.

Process condition TEOS flow of TEOS oxide film 15 1.5SLMO₂ flow 7.5SLMO₃ flow 100 g/m³

generation temperature Can 400 degreeC Come, and it is alike and more, While TEOS oxide film 15 is embedded with surface smoothness sufficient in a through hole, the undercut part of the exposed part of SOG film 12 is capped with TEOS oxide film 15.

(4) Form the resist pattern 16 for the 2nd through hole puncturing according to the process photolithography process of drawing 4 (a).

[0008](5) Carry out wet etching of about 0.2-micrometer TEOS oxide film 15 on condition of the following first by using the process resist pattern 16 of drawing 4 (b) as a mask, and make the end of TEOS oxide film 15 into tapered shape.

the partially aromatic solvent of the 32 to 33% of 10 to 11% of condition $\text{NH}_4\text{HF}_2\text{NH}_4$ [of the wet etching of TEOS oxide film 15] F 14% CH_3COOH 2 [H] O remainder -- next, By the dry etching of the following conditions, remaining TEOS oxide film 15 is removed by using the resist pattern 16 as a mask, and the 2nd through hole is punctured.

Condition degree of vacuum of the dry etching of TEOS oxide film 15 100mTorrRF power 750WAr gas 800sccm CHF_3 gas 60sccm CF_4 gas 60 sccm At this time. The sidewall protective film 17 is formed in the exposed part of TEOS oxide film 15 and the silicon oxide 11, and an etching configuration becomes good. Since the undercut part of the exposed part of SOG film 12 is capped with TEOS oxide film 15, the side etching by the outgas of SOG film 12 is not generated.

(6) Remove the process resist pattern 16 of drawing 4 (c), and release liquid removes the sidewall protective film 17 after that. Next, sputtering of the metal, such as aluminum, is carried out and the 2nd metallic wiring 18 is formed. Generating of a void can be controlled without the step coverage of the 2nd metallic wiring 18 getting worse, since KYAPINGU [SOG film 12 / TEOS oxide film 15] at this time.

[0009]As explained above, in this example, P-SiO11 and SOG film 12 are formed and the 1st through hole is punctured.

Then, the exposed part of SOG film 12 is capped with TEOS oxide film 15 by forming TEOS oxide film 15.

And since the 2nd through hole is punctured and the 2nd metallic wiring 18 is formed, there are the following advantages.

(a) Without the step coverage of the 2nd metallic wiring 18 getting worse, generating of a void can be controlled, the reliability of multilevel interconnection can be raised, and the yield of a semiconductor device can be raised.

(b) While the 2nd interlayer insulation film becomes flat and the embedding nature to the 2nd through hole becomes good by using the 2nd interlayer insulation film as TEOS oxide film 15, In heat treatment after formation of the 2nd metallic wiring 18, since residual water in SOG film 12 is prevented by P-SiO11, instead is diffused in a TEOS oxide film, the influence on the 1st

metallic wiring 10 by residual water by heating in SOG film 12 can also be reduced. This invention is not limited to the above-mentioned example, but various modification is possible for it. As the modification, there is the following, for example.

(i) The interlayer insulation film of metallic wiring comprises the 1st interlayer insulation film / a SOG film / the 2nd interlayer insulation film, and punctures a contact hole to an interlayer insulation film with this structure, and this invention is applicable if it is a case where metallic wiring is embedded.

(ii) The 2nd interlayer insulation film may be insulator layers other than a TEOS oxide film, for example, P-SiO₂, a PSG film, etc.

[0010]

[Effect of the Invention] By this invention, as explained to details above, after carrying out etching removal of SOG and the 1st interlayer insulation film one by one and puncturing the 1st contact hole, SOG is capped with the 2nd interlayer insulation film, the 2nd contact hole is punctured, and metallic wiring is formed.

Therefore, generating of a void can be controlled, without the step coverage of metallic wiring getting worse.

Therefore, the reliability of metallic wiring can be raised.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is process drawing showing the semiconductor device manufacturing method of the example of this invention.

[Drawing 2]It is process drawing showing the manufacturing method of the conventional semiconductor device.

[Drawing 3]It is a figure showing the void in drawing 2 (d).

[Drawing 4]It is process drawing showing the semiconductor device manufacturing method of the example of this invention.

[Description of Notations]

10 The 1st metallic wiring

11 The 1st interlayer insulation film (P-SiO)

12 SOG film

13 and 16 Resist pattern

15 The 2nd interlayer insulation film (TEOS oxide film)

18 The 2nd metallic wiring

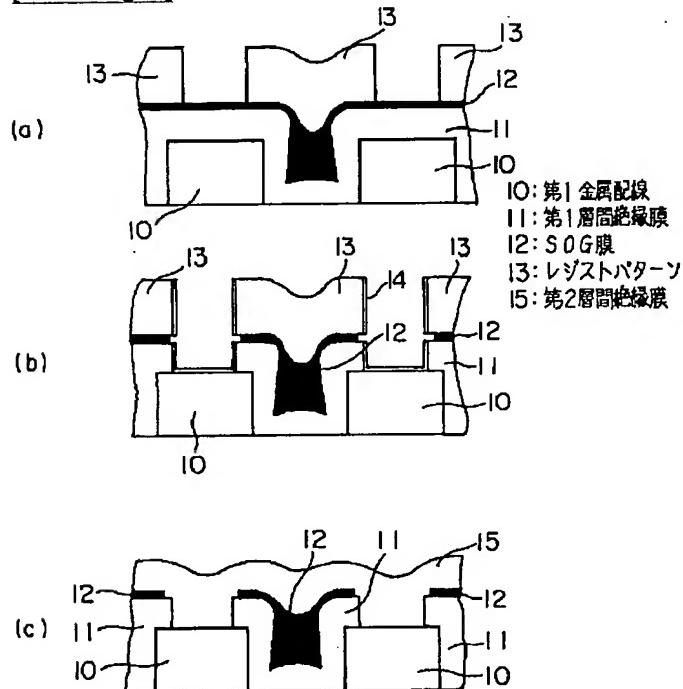
[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

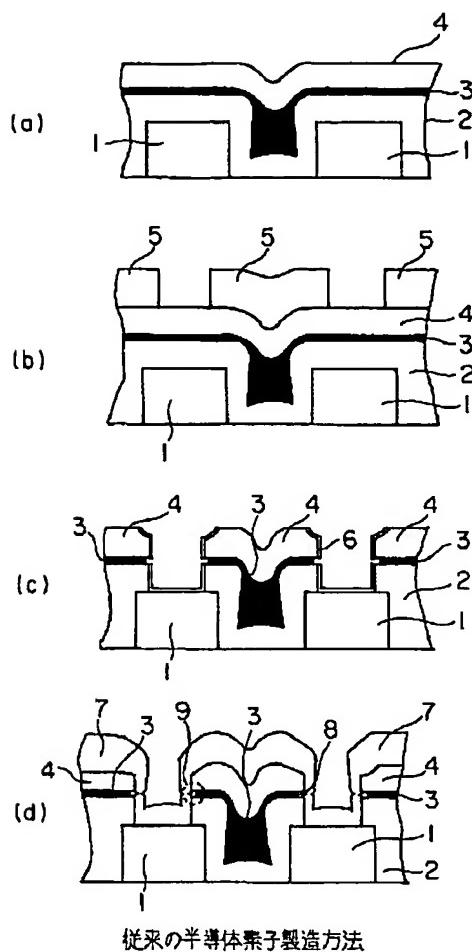
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

本発明の実施例の半導体素子製造方法

[Drawing 2]



従来の半導体素子製造方法

[Drawing 3]

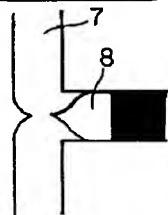
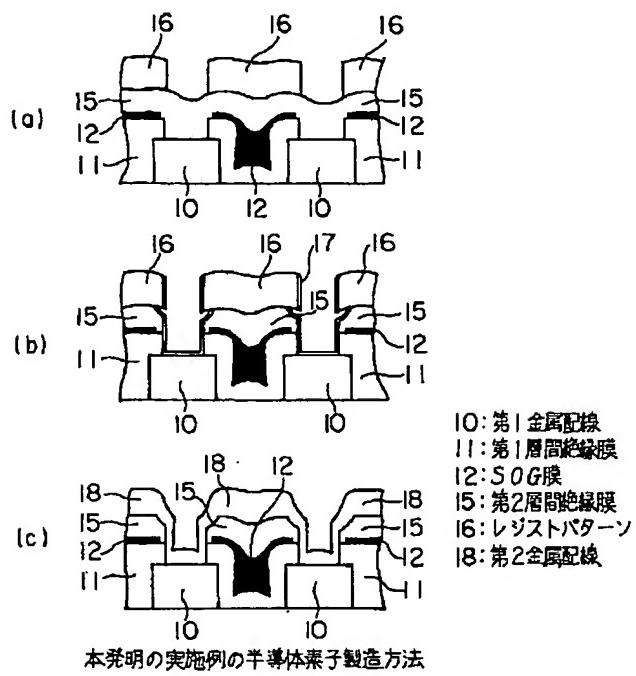


図2(d)中ボイド

[Drawing 4]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-335748

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl.⁶
H 01 L 21/768

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/90

M

審査請求 未請求 請求項の数1 OL (全5頁)

(21)出願番号 特願平6-124873

(22)出願日 平成6年(1994)6月7日

(71)出願人 宮崎沖電気株式会社
宮崎県宮崎郡清武町大字木原727番地

(71)出願人 沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72)発明者 河野 浩幸
宮崎県宮崎郡清武町大字木原727番地 宮崎沖電気株式会社内

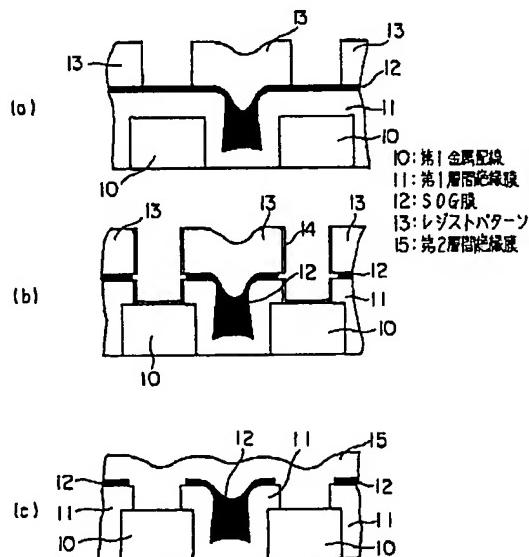
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【目的】 SOGのアウトガスによる金属配線のボイド発生を抑制し、金属配線の信頼性を向上させる。

【構成】 第1金属配線10を形成し、その後、P-S1011を形成する。次に、SOG膜12をスピンドルコートし、硅素化する。フォトリソグラフィにより、レジストパターン13を形成し、レジストパターン13をマスクとして、スルーホールを開孔する。レジストパターン14を除去し、その後、剥離液により側壁保護膜14を除去する。TEOS酸化膜15を形成してSOG膜12をキャッピングする。その後、レジストパターンを形成し、レジストパターンをマスクとして、ウェットエッチング、ドライエッティングにより、TEOS酸化膜15を除去する。レジストパターンを除去し、スパッタリングして第2金属配線を形成する。



1

2

【特許請求の範囲】

【請求項1】 第1層間絶縁膜を形成する工程と、SOGを塗布し、硅素化する工程と、フォトリソグラフィにより第1レジストパターンを形成する工程と、前記第1レジストパターンをマスクとして前記SOG、及び第1層間絶縁膜を順次エッチング除去し第1コンタクトホールを開孔する工程と、前記第1レジストパターンを除去する工程と、第2層間絶縁膜を形成する工程と、フォトリソグラフィにより第2レジストパターンを形成する工程と、前記第2レジストパターンをマスクとして前記第2層間絶縁膜をエッチング除去し第2コンタクトホールを開孔する工程と、前記第2レジストパターンを除去する工程と、金属配線を形成する工程とを、順に施すことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の製造方法に関し、特にコンタクトホール側壁部に絶縁物質よりもなるバリア壁を形成し、SOG (Spin On Glass) よりの水分放出を防ぐことによって、良好な金属配線を形成する方法に関するものである。

【0002】

【従来の技術】図2(a)～(d)は、従来の多層配線構造を持った微細半導体素子の製造方法の工程図である。この図2(a)～(d)の工程(1)～(4)を以下に説明する。

(1) 図2(a)の工程

アルミニウム等の金属により第1金属配線1を形成した後、第1層間絶縁膜としてプラズマ化学気相成長(以下、プラズマCVDと呼ぶ)法により、SiH₄、及びN₂Oを原料ガスとして、膜厚0.4μmのシリコン酸化膜(P-SiO₂)₂を形成する。次に、平坦度向上を目的としてSOGをスピンドルコートし、第1金属配線1に支障のない450°C以下の温度で加熱し、硅素化してSOG膜3を形成する。その後、再度、第1シリコン酸化膜2と同様にして第2層間絶縁膜として第2シリコン酸化膜4を0.4μm程度の厚さに気相成長させる。

(2) 図2(b)の工程

フォトリソグラフィ工程により、第1金属配線1と第2金属配線との接続のためのスルーホールを開孔するためのレジストパターン5を形成する。

(3) 図2(c)の工程

レジストパターン5をマスクとして、ウェットエッチングにより第2シリコン酸化膜4を除去し、端部をテーパ形状する。その後、ドライエッチングにより残りの第2シリコン酸化膜4、SOG膜3、及び第1シリコン酸化

10

20

30

40

50

膜2を順次エッチング除去し、スルーホールを開孔する。この時、第1シリコン酸化膜2、及び第2シリコン酸化膜4の側壁に側壁保護膜6が形成される。次に、レジストパターン5を除去し、その後、剥離液により側壁保護膜6を除去する。

(4) 図2(d)の工程

アルミニウム等の第2金属配線7をスパッタリング法により形成し、第1金属配線1と第2金属配線7との間のコンタクトを取る。

【0003】

【発明が解決しようとする課題】しかしながら、従来の半導体素子の製造方法においては、次のような課題があった。図2(c)のスルーホールの開孔時において、SOG膜3の露出部から水分脱離によるアウトガスが発生するため、異方性エッチングの効果を高める側壁保護膜6が形成されずSOG膜3のサイドエッチが進行する。そのため、図2(d)の第2金属配線7をスパッタリングする際に、第2金属配線7のステップカバレッジが悪化し、空洞(以下ボイドと呼ぶ)8が発生する。図3は、図2(d)中のボイドの拡大図である。この図に示すようにSOG膜3の露出部のサイドエッチにより、この部分にボイド8が発生する。このボイド8のために、第2金属配線7のエレクトロマイグレーション耐性劣化による断線等が問題となる。

【0004】

【課題を解決するための手段】本発明は、前記課題を解決するために、P-SiO₂等の第1層間絶縁膜を形成する工程と、SOGを塗布し、硅素化する工程と、フォトリソグラフィにより第1レジストパターンを形成する工程と、前記第1レジストパターンをマスクとして前記SOG、及び第1層間絶縁膜を順次エッチング除去し、例えば第1スルーホールを開孔する工程と、前記第1レジストパターンを除去する工程と、TEOS酸化膜等の第2層間絶縁膜を形成する工程と、フォトリソグラフィにより第2レジストパターンを形成する工程と、前記第2レジストパターンをマスクとして前記第2層間絶縁膜をエッチング除去し、例えば第2スルーホールを開孔する工程と、前記第2レジストパターンを除去する工程と、金属配線を形成する工程とを順に施すようにしている。

【0005】

【作用】本発明によれば、以上のように半導体素子の製造方法を構成したので、フォトリソグラフィにより第1レジストパターンを形成し、この第1レジストパターンをマスクとしてSOG、及び第1層間絶縁膜を順次エッチング除去し第1コンタクトホールを開孔する。第1コンタクトホールの開孔時において、SOGの露出部において水分脱離によりアウトガスが放出され、SOGのサイドエッチングが進行する。次に、第2層間絶縁膜を形成し、SOGをキャッピングした後、フォトリソグラフィにより第2レジストパターンを形成して、該第2レジ

3

ストパターンをマスクとして第2コントラクトホールを開孔する。この第2コントラクトホール開孔時において、SOGが第2層間絶縁膜によってキャッピングされているので、この第2層間絶縁膜が、SOGのサイドエッチを抑制し、金属配線の形成時のポイドの発生を抑制する働きがある。従って、前記課題を解決できるのである。

【0006】

【実施例】図1(a)～(c)、及び図4(a)～(c)は、本発明の実施例の半導体素子の製造方法を示す工程図である。この図1(a)～(c)、及び図4(a)～(c)の工程を以下(1)～(6)に説明する。

(1) 図1(a)の工程

まず、アルミニウム等の金属により第1金属配線10を形成する。その後、第1層間絶縁膜としてプラズマCVD法により、原料ガスSiH₄、及びN₂O、圧力2.0～3.0 Torrで、膜厚0.4 μmのシリコン酸化膜(P-SiO)11を形成する。このP-SiO11は、層間絶縁膜としての働きの上に、次に形成するSOG膜12の第1金属配線10への水分の透過を抑制する働きもある。その後、平坦化のためにシリコン酸化膜11上にSOGをスピンドルコートし、温度400°C、ドライN₂：雰囲気で、ペークしてSOG膜12を形成する。ドライN₂：雰囲気中でのペークは、水分の吸湿の抑制し膜質の劣化を防止するためである。次に、第1スルーホールを開孔するために、フォトリソグラフィ工程によりレジストパターン13を形成する。

(2) 図1(b)の工程

レジストパターン13をマスクとして、ドライエッティングにより、SOG膜12、及び第1シリコン酸化膜11を順次エッティング除去し、第1スルーホールを開孔する。この時、第1シリコン酸化膜11とドライエッティングによるエッティングガスとの反応により、第1シリコン酸化膜11の側壁部に、側壁部のオーバーエッティングを抑制する異方性エッティングには好ましい側壁保護膜14が形成される。一方、SOG膜12の露出部から水分脱離によるアウトガスが発生するので側壁保護膜が形成されず、サイドエッティングが進行し、アンダーカットが発生する。

【0007】(3) 図1(c)の工程

レジストパターン14を除去し、その後、剥離液により側壁保護膜14を除去する。次に、以下のプロセス条件でCVD法により、膜厚0.8 μm以上のO₂-TEOS-NSG(Non Silicate Glass)膜(以下、TEOS酸化膜と呼ぶ)15を形成する。

TEOS酸化膜15のプロセス条件

TEOS流量	1.5 SLM
O ₂ 流量	7.5 SLM
O ₂ 流量	100 g/m ³
生成温度	400°C

4

これにより、TEOS酸化膜15がスルーホール内に平坦性良く埋め込まれるとともに、SOG膜12の露出部のアンダーカット部が、TEOS酸化膜15によりキャッピングされる。

(4) 図4(a)の工程

フォトリソグラフィ工程により、第2スルーホール開孔のためのレジストパターン16を形成する。

【0008】(5) 図4(b)の工程

レジストパターン16をマスクとして、まず0.2 μm程度のTEOS酸化膜15を以下の条件でウェットエッティングし、TEOS酸化膜15の端部をテープ形状にする。

TEOS酸化膜15のウェットエッティングの条件

NH ₄ HF ₂	10～11%
NH ₄ F	14%
CH ₃ COOH	32～33%
H ₂ O	残り

の混合溶剤

次に、以下の条件のドライエッティングにより、レジストパターン16をマスクとして、残ったTEOS酸化膜15を除去して第2スルーホールを開孔する。

TEOS酸化膜15のドライエッティングの条件

真空間度	100 mTorr
RFパワー	750 W
Arガス	800 sccm
CHF ₃ ガス	60 sccm
CF ₄ ガス	60 sccm

この時、TEOS酸化膜15、シリコン酸化膜11の露出部に側壁保護膜17が形成され、エッティング形状が良くなる。また、SOG膜12の露出部のアンダーカット部が、TEOS酸化膜15によりキャッピングされているためSOG膜12のアウトガスによるサイドエッティングは発生しない。

(6) 図4(c)の工程

レジストパターン16を除去し、その後、剥離液により側壁保護膜17を除去する。次に、アルミニウム等の金属をスパッタリングして第2金属配線18を形成する。

この時、SOG膜12がTEOS酸化膜15によりキャッピングされているため、第2金属配線18のステップカバレッジが悪化することもなく、ポイドの発生を抑制することができる。

【0009】以上説明したように、本実施例では、P-SiO11、SOG膜12を形成し、第1スルーホールを開孔し、その後、TEOS酸化膜15を形成することにより、SOG膜12の露出部をTEOS酸化膜15でキャッピングする。そして、第2スルーホールを開孔して、第2金属配線18を形成するので、以下の利点がある。

(a) 第2金属配線18のステップカバレッジが悪化することなく、ポイドの発生を抑制することができ、多層

配線の信頼性を向上させ、半導体素子の歩留まりを向上させることができる。

(b) 第2層間絶縁膜をTEOS酸化膜15とすることにより、第2層間絶縁膜が平坦になり、第2スルーホールへの埋め込み性が良くなるとともに、第2金属配線18の形成後の熱処理において、SOG膜12内の残留水分はP-S1O1で阻止され、その代わりにTEOS酸化膜中に拡散するので、SOG膜12内の加熱による残留水分による第1金属配線10への影響も低減することができる。なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(i) 金属配線の層間絶縁膜が、第1層間絶縁膜/SOG膜/第2層間絶縁膜から構成され、該構造を持つ層間絶縁膜にコンタクトホールを開孔し、金属配線を埋め込む場合であれば、本発明を適用することができる。

(ii) 第2層間絶縁膜は、TEOS酸化膜以外の絶縁膜、例えば、P-S1O、またはPSG膜等であってもよい。

[0010]

【発明の効果】以上詳細に説明したように、本発明によれば、SOG、及び第1層間絶縁膜を順次エッチング除

去し第1コンタクトホールを開孔した後、第2層間絶縁膜によりSOGをキャッピングして、第2コンタクトホールを開孔し、金属配線を形成するので、金属配線のステップカバレッジが悪化することもなく、ボイドの発生を抑制することができる。したがって、金属配線の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例の半導体素子製造方法を示す工程図である。

【図2】従来の半導体素子の製造方法を示す工程図である。

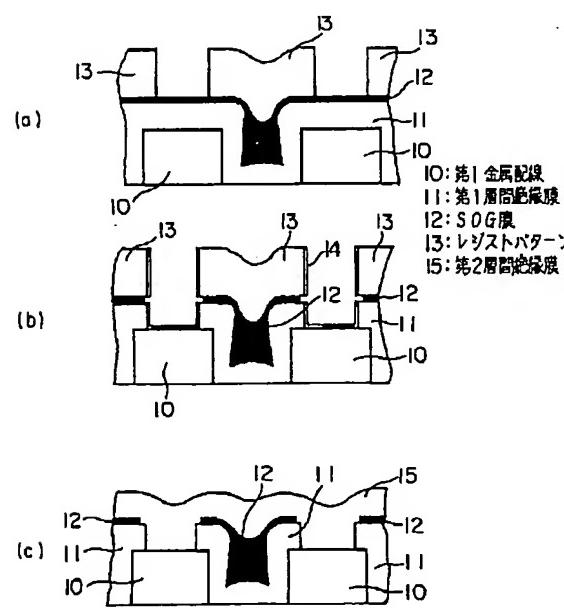
【図3】図2(d)中のボイドを示す図である。

【図4】本発明の実施例の半導体素子製造方法を示す工程図である。

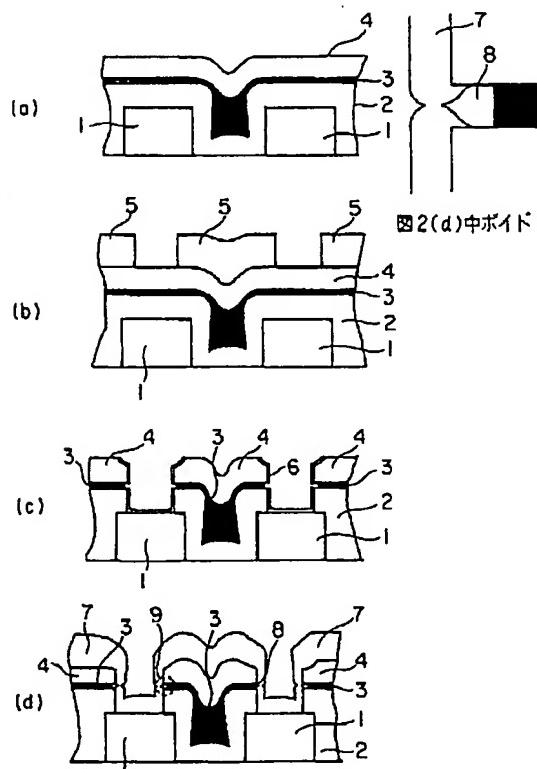
【符号の説明】

10	第1金属配線
11	第1層間絶縁膜(P-S1O)
12	SOG膜
13, 16	レジストパターン
20 15	第2層間絶縁膜(TEOS酸化膜)
18	第2金属配線

【図1】



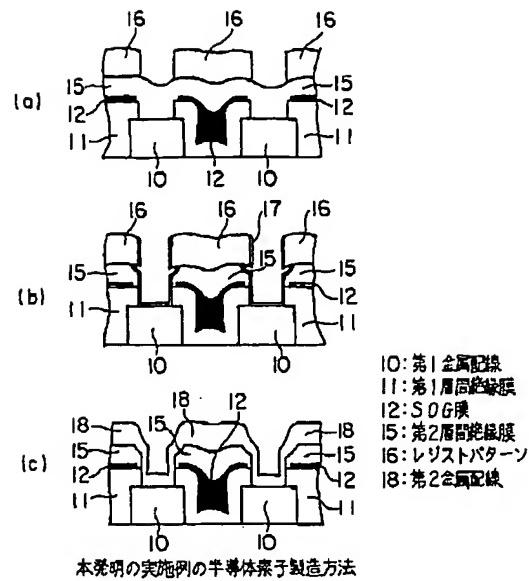
【図2】



【図3】

従来の半導体素子製造方法

【図4】



本発明の実施例の半導体電子製造方法